

**RAKE RECEPTION METHOD AND RECEIVER THEREFOR**

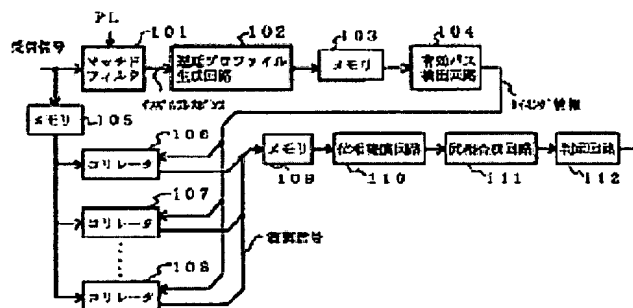
**Patent number:** JP10112673  
**Publication date:** 1998-04-28  
**Inventor:** ABE TATSUYA; URABE KENZO  
**Applicant:** KOKUSAI ELECTRIC CO LTD  
**Classification:**  
 - international: H04B1/707; H04B7/08; H04L1/02; H04L7/00  
 - european:  
**Application number:** JP19960263270 19961003  
**Priority number(s):**

Report a data error here

**Abstract of JP10112673**

**PROBLEM TO BE SOLVED:** To provide a RAKE receiver of less power consumption and simple circuit constitution.

**SOLUTION:** A matched filter 101 is operated only when pilot signals are inputted and the delay profile is generated in a delay profile generation circuit 102. A valid path detection circuit 104 obtains the valid path position of a pilot signal position from the generated delay profile, obtains the valid path position of the other symbol position from the valid path positions of the pilot signals before and after the symbol by interpolation and outputs them. Collimators 106-108 receive the valid path positions for respective valid paths and demodulate the reception signals of the positions and they are respectively phase compensated in a phase interpolation circuit 110 and then, synthesized in a common-mode synthesis circuit 111.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(11)特許出願公開番号

本発明のRAKE受信機の構成1

## 【特許請求の範囲】

【請求項 1】 受信信号のうち信号周期毎に挿入されているパイロット信号と逆拡散用符号との相関処理により得られたインパルスレスポンスから前記パイロット信号の遅延プロファイルを生成し、

前記パイロット信号以外のシンボルの遅延プロファイルは、当該シンボルの前後に受信されたパイロット信号から生成された遅延プロファイルから補間により推定した遅延プロファイルとして生成し、

こうして得られた各シンボル毎の遅延プロファイルからその有効パス位置を取り出し、その有効パス位置に於ける受信信号を各パス経由の信号として復調したのち同相合成して復号することを特徴とする RAKE 受信方法。

【請求項 2】 前記有効パス位置毎の受信信号の復調を、前記有効パス位置毎に 1 つのコリレータを用いて行うことを特徴とする請求項 1 記載の RAKE 受信方法。

【請求項 3】 前記有効パス位置毎の受信信号の復調を、1 つのコリレータの時分割処理により行うことを特徴とする請求項 1 記載の RAKE 受信方法。

【請求項 4】 各タップに逆拡散用符号が書き込まれ、信号周期毎に挿入されたパイロットシンボルを受信したときに前記逆拡散用符号との相関を求めてインパルスレスポンスを生成し、パイロットシンボル以外のシンボルを受信したときはその動作を停止するところのマッチドフィルタと、

前記パイロット信号に対して生成されたインパルスレスポンスからその遅延プロファイルを生成するための遅延プロファイル生成回路と、

該回路により生成された遅延プロファイルの予め定められた域値をこえる極大点を与える遅延時間を前記パイロット信号位置における有効パスを与える有効パス位置として検出するとともに、前記パイロット信号以外のシンボルの有効パス位置を、当該シンボルの前後のパイロット信号に対して生成された有効パス位置から補間により算出した値として推定するための有効パス検出回路と、該有効パス検出回路により検出・推定された各有効パス毎に設けられ、当該有効パス毎の有効パス位置における受信信号を復調するためのコリレータと、

前記パイロット信号のインパルスレスポンスからその位相回転量を検出するとともに、前記パイロット信号以外のシンボルの位相回転量を、当該シンボルの前後のパイロット信号に対して生成された位相回転量から補間により算出した値として推定し、こうして検出・推定した位相回転量により前記コリレータにより復調された各有効パスの復調シンボルの位相補償を行うための位相補償回路と、

該回路により位相補償された各有効パスの復調シンボルを同相合成するための合成回路と、

を備えたことを特徴とする RAKE 受信機。

【請求項 5】 各タップに逆拡散用符号が書き込まれ、

信号周期毎に挿入されたパイロットシンボルを受信したときに前記逆拡散用符号との相関を求めてインパルスレスポンスを生成し、パイロットシンボル以外のシンボルを受信したときはその動作を停止するところのマッチドフィルタと、

前記パイロット信号に対して生成されたインパルスレスポンスからその遅延プロファイルを生成するための遅延プロファイル生成回路と、

該回路により生成された遅延プロファイルの予め定められた域値をこえる極大点を与える遅延時間を前記パイロット信号位置に於ける有効パスを与える有効パス位置として検出するとともに、前記パイロット信号以外のシンボルの有効パス位置を、当該シンボルの前後のパイロット信号に対して生成された有効パス位置から補間により算出した値として推定するための有効パス検出回路と、該有効パス検出回路により検出・推定された各有効パス毎の有効パス位置に於ける受信信号の復調を各有効パス毎に時分割で実行するための 1 台のコリレータと、

前記パイロット信号のインパルスレスポンスからその位相回転量を検出するとともに、前記パイロット信号以外のシンボルの位相回転量を、当該シンボルの前後のパイロット信号に対して生成された位相回転量から補間により算出した値として推定し、こうして検出・推定した位相回転量により前記コリレータにより復調された各有効パスの復調シンボルの位相補償を行うための位相補償回路と、

該回路により位相補償された各有効パスの復調シンボルを同相合成するための合成回路と、

を備えたことを特徴とする RAKE 受信機。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、直接スペクトル拡散による符号分割多元接続方式 (CDMA: Code Division Multiple Access) に於ける RAKE 受信方法とその受信機に関するものである。

## 【0002】

【従来の技術】直接スペクトル拡散通信のマルチパスフェージングに対処する方法の 1 つにパスダイバーシチがある。これは、パイロットシンボルを送信してその逆拡散信号を電力化した遅延プロファイルから各空間パスの遅延時間を検出して、前記遅延時間に基づいて前記逆拡散信号から各空間パスの位相回転量を検出し、その量により受信信号から各空間パスを経由してきた信号成分を取り出し同相合成するもので、RAKE 受信方法と呼ばれている。

【0003】図 3 は、かかる受信方法を具備した従来の RAKE 受信機の構成例を示すブロック図で、マッチドフィルタ 301、遅延プロファイル生成回路 302、メモリ 303、305、306、有効パス検出回路 304、位相補償回路 307、同相合成回路 308、及び判

定回路309よりなっている。以下この動作を述べる。

【0004】マッチドフィルタは、受信信号と逆拡散用符号との相関により受信信号のインパルスレスポンスを生成し、遅延プロファイル生成回路302はこのインパルスレスポンスを電力化することで遅延プロファイルを生成してメモリ303へ書き込む。図4はこの遅延プロファイルの例を示しており、縦軸は電力、横軸は遅延時間で、遅延時間 $t_1$ 、 $t_2$ 、 $t_3$ に大きなピークが現れていて、3つのパスを介して到達した信号をそれぞれ表している。なお、このような遅延プロファイルは、1回の測定だけではノイズ成分による誤差が生じ易いので、間近の何回かの測定値の平均をとってメモリ303に再格納するようにして、ノイズ成分の抑圧を行うようにしてもよい。

【0005】有効パス検出回路304は、メモリ303から遅延プロファイルを読み出し、予め定められた域値をこえているピークの遅延時間を伝播に寄与している有効なパスの遅延時間を表す有効パス位置として検出する。一方、メモリ305は、マッチドフィルタ301から出力されたインパルスレスポンスを1シンボルにわたって記憶するとともに、前記有効パス検出回路304により検出された有効パス位置がタイミング信号としてメモリ305へ与えられ、各有効パス位置に対応したインパルスレスポンスの値がそのパス対応の復調信号として取り出され、メモリ306に書き込まれる。

【0006】ところで、図5に示したように、受信信号には周期的にパイロット信号(Pilot)が含まれていて、そのパイロットシンボルは予め定められたパターンであるから、受信側では送信側から送られたパイロットシンボルのベクトルが受信時にどれだけ位相回転しているかを各マルチパス波の位相からパスごとに知ることができる。そこで、位相補償回路307は、受信信号に周期的に挿入されているパイロットシンボルを受信したときに前記パイロットシンボルの各マルチパス波の位相をメモリ306に格納された復調信号から検出する。さらに、パイロットシンボルと次のパイロットシンボルの間に伝送されてくる各シンボルの位相回転量は、そのシンボルの前後のパイロットシンボルの位相回転量を各マルチパス波についてそれぞれ補間した補間位相回転量として推定することができる。そこで、位相補償回路307は、各有効パスについての位相回転量の推定値により当該パス対応の復調シンボルの位相回転量を補償し、各パスの信号を同相化して出力する。この同相に補正された各有効パスの信号は、同相合成回路308で合成され、こうしてパスダイバーシチ受信が行われ、マルチパスフェージングによる受信パワーの変動を抑圧するとともにSNRの改善が行える。

【0007】合成された各シンボルの信号は判定回路309で判定され、復号される。図6は、上記同相合成の様子を示したもので、3つのパスの位相回転量が $\theta_1$ 、

$\theta_2$ 、 $\theta_3$ であったときに、その分だけ各シンボルのベクトルを逆に回転させて同相(位相 $\theta$ )の信号とした状態、つまり位相補償を行った状態を示している。

【0008】図7は、従来のRAKE受信機の別の構成例を示すブロック図で、図3の従来構成と同一の回路には同一符号が付されている。異なっているのは、マッチドフィルタに代わってサーチャ701、DLL(Delay Locked Loop)703~705、及びコリレータ706~708等が用いられている点である。この構成では、受信信号はサーチャ701に入力され、1シンボル入力されると逆拡散用符号との相関が1サンプル分求められる。次の1シンボルが入力されると前回より1サンプルずれた逆拡散用符号との相関が1サンプル分求められ、これを1シンボル長のインパルスレスポンスが生成されるまで繰り返される。こうしてインパルスレスポンスが求められると、それからマルチパスフェージングの各パスの遅延時間を表す有効パス位置が遅延プロファイル生成回路302、メモリ303、及び有効パス検出回路304で検出されるのは図3の場合と同様である。

【0009】前述した図3の場合には、マッチドフィルタによりインパルスレスポンスを生成していたため、1シンボル長の遅延プロファイルは1シンボル毎に生成されていた。しかし、図7のRAKE受信機の構成例では、単数もしくは複数のコリレータから成るサーチャ701によってインパルスレスポンスが生成されているため、1シンボル長の遅延プロファイルが完成するまでに長時間を有してしまう。そのため、有効パス判定回路から出力された遅延時間だけで各パスに含まれる拡散符号の位相を追跡するのは不十分であり、前記検出された各パスの遅延時間はDLL703~705に於ける同期引き込みにのみ用いられる。即ち、DLL703~705は有効パス毎にそれぞれ独立に設置され、前記遅延時間に基づいて同期引き込みを行った後に、各マルチパス波の位相追跡を行う(同期保持)。そしてその同期した復調タイミングをコリレータ706~709へそれぞれ出力する。コリレータ706~709は、前記復調タイミングに基づいて受信パス毎の復調を行い、その復調信号をメモリ306に書き込む。

【0010】こうして各パス毎の復調信号がメモリ306に得られると、図3の場合と同様にしてパイロット信号の位相回転量の検出と、その検出値を用いた各シンボルの位相回転量の推定、合成が行われ、パスダイバーシチ受信によるSNRの改善が行われる。

【0011】

【発明が解決しようとする課題】上記した従来の図3の構成の場合には、復調のためにマッチドフィルタを用いているが、これは拡散符号の符号長が長くなるとそれだけ多くのタップを有した回路構成となり、しかもこの回路を常時動作させているので消費電力が非常に大きくなるという問題があった。

【0012】また、図7に示した構成の場合には、図3の場合のような大きな消費電力を必要としない。しかし、DLLはコリレータ2個から成っており、電波のパスの数だけのDLLとコリレータを用意する、即ち1パスにつき3個のコリレータを必要とする。このため、回路規模が大きくなってしまいう問題があった。

【0013】本発明の目的は、回路構成が比較的簡単でかつ小さい消費電力で動作するようにしたRAKE受信方法とその受信機を提供することにある。

【0014】

【課題を解決するための手段】上記の目的を達成するために、本発明においては、受信信号のうち信号周期毎に挿入されているパイロット信号と逆拡散用符号との相関処理により得られたインパルスレスポンスから前記パイロット信号の遅延プロファイルを生成し、前記パイロット信号以外のシンボルの遅延プロファイルは、当該シンボルのシンボルの前後に受信されたパイロット信号から生成された遅延プロファイルから補間により推定した遅延プロファイルとして生成し、こうして得られた各シンボル毎の遅延プロファイルからその有効パス位置を取り出し、その有効パス位置に於ける受信信号を各パス経由の信号として復調したのち同相合成して復号することを特徴とするRAKE受信方法を開示する。

【0015】また、本発明は、各タップに逆拡散用符号が書き込まれ、信号周期毎に挿入されたパイロットシンボルを受信したときに前記逆拡散用符号との相関を求めてインパルスレスポンスを生成し、パイロットシンボル以外のシンボルを受信したときはその動作を停止するところのマッチドフィルタと、前記パイロット信号に対して生成されたインパルスレスポンスからその遅延プロファイルを生成するための遅延プロファイル生成回路と、該回路により生成された遅延プロファイルの予め定められた域値をこえる極大点を与える遅延時間を前記パイロット信号位置における有効パスを与える有効パス位置として検出するとともに、前記パイロット信号以外のシンボルの有効パス位置を、当該シンボルの前後のパイロット信号に対して生成された有効パス位置から補間により算出した値として推定するための有効パス検出回路と、該有効パス検出回路により検出・推定された各有効パス毎に設けられ、当該有効パス毎の有効パス位置における受信信号を復調するためのコリレータと、前記パイロット信号のインパルスレスポンスからその位相回転量を検出するとともに、前記パイロット信号以外のシンボルの位相回転量を、当該シンボルの前後のパイロット信号に対して生成された位相回転量から補間により算出した値として推定し、こうして検出・推定した位相回転量により前記コリレータにより復調された各有効パスの復調シンボルの位相補償を行うための位相補償回路と、該回路により位相補償された各有効パスの復調シンボルを同期合成するための合成回路と、を備えたことを特徴とする

RAKE受信機を開示する。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を説明する。図1は、本発明になるRAKE受信機の構成例を示すブロック図で、マッチドフィルタ101、遅延プロファイル生成回路102、メモリ103、105、109、有効パス検出回路104、コリレータ106~108、位相補償回路110、同相合成回路111、及び判定回路112から成っている。

10 【0017】図1に於て、図示は省略したが、判定回路112で得られたデジタル信号から検出されたパイロットシンボル位置を示す信号PLがマッチドフィルタ101に与えられている。マッチドフィルタ101は、この信号PLが与えられているときだけ、即ちパイロット信号が受信されているときだけ作動し、その各タップに書き込まれた逆拡散用符号と受信信号の相関を求めることによりパイロット信号のインパルスレスポンスを生成し、その他のシンボルの受信時には作動を停止する。遅延プロファイル生成回路102は、このマッチドフィルタ101により求められたインパルスレスポンスから従来と同様に遅延プロファイルを生成してメモリ103へ書き込む。

20 【0018】有効パス検出回路104は、メモリ103に格納された遅延プロファイルから各有効パスの遅延時間、即ち有効パス位置を従来と同様に求めて、マッチドフィルタ101が出力するのは本構成ではパイロット信号のインパルスレスポンスのみであるので、有効パス検出回路104が直接検出できるのはパイロット信号受信時の有効パス位置のみである。そこで有効パス検出回路104では、パイロット信号以外のシンボル時点の有効パス位置を、そのシンボルを挟む2つのパイロット信号の有効パス位置から内挿補間により推定する。この補間方法としては、例えば図5に示したように1スロットに1個のパイロット信号とN-1個のシンボルが含まれているとして、1つのスロットのパイロット信号から求められたパスiの遅延時間を $t_{ij}$ 、次のスロットのパイロット信号から求められたパスiの遅延時間を $t_{ij+1}$ としたとき、シンボルkのパスiの遅延時間 $S_{ijk}$ を

30 【数1】  $S_{ijk} = \{(N-k-1) \cdot (t_{ij}) + (k) \cdot (t_{ij+1})\} / (N-1)$ ,

40  $1 \leq k \leq N-1$

により推定する。ここで添字iはパスの番号、jはスロットの番号である。この推定により得た遅延時間 $S_{ijk}$ は、次のスロットj+1のシンボルkに於けるパスiの遅延時間（有効パス位置）として用いられる。

【0019】一方、受信信号はそのままメモリ105に記憶される。コリレータ106~108は、マルチパスの各パス毎に設置され、有効パス検出回路104で1スロット前に検出・推定された有効パス位置に対応する時刻をタイミング情報として与えられると、その時刻位置

の受信信号をメモリ105から読み出し、逆拡散処理を行ってそのパス対応の復調信号を出力する。この各パス対応の復調信号はメモリ109へ書き込まれ、以下は従来と同様にして位相補償回路110による位相回転量の検出・推定とそれに基づく各パスの復調信号に対する位相補償、その位相補償された各復調信号の同相合成回路111での合成によりパスダイバーシチ合成が行われる。

【0020】以上に説明した図1の構成によると、マッチドフィルタ101はパイロット信号の受信時のみ動作し、他のシンボル受信時にはその動作を停止するから、図3の従来例のように大きな電力を消費することはない。例えば図5のように1スロットNシンボルの場合には、マッチドフィルタの消費電力は図3の場合の1/Nとなる。また、マッチドフィルタの出力からパイロット信号の遅延プロファイルを求めているので、その算出は即時に行え、図7の従来例のように各パスにDLLを設ける必要がないので、回路構成も簡単になる。一方、パイロット信号以外のシンボルの遅延プロファイル、位相回転量の双方を補間により推定し、次のスロットでの復調・合成に用いているが、一般にマルチパスフェージングの変動が、信号の1スロット周期の間で十分遅くなるようにスロット周期が与えられるので、上記のようであれば正確な復調が行える。

【0021】図2は、本発明になるRAKE受信機の別の構成例を示すブロック図である。本構成例が図1の場合と異なっているのは、図1では各有効パス毎にコリレータを設けているが、これを1個のコリレータ201とし、この1個のコリレータによって各パスの信号の復調を時分割で行うように構成した点であり、他は同じ構成である。この構成によれば、図1の場合と同様に少ない消費電力とすることができるとともに、復調用のコリレータを1個とすることでさらに回路構成を簡単にできるという特徴がある。

【0022】なお、以上では有効パス検出回路104に於ける有効パス位置の補間は、(数1)で示したように一次内挿補間を用いるものとしたが、これは他の補間方

法、例えば零次、二次内挿補間や外挿補間を用いるようにしてもよい。

【0023】また、図5で説明したように、既知の波形を有したパイロット信号は1スロットに1個だけ伝送するものとして説明したが、1個だけではノイズ等のために遅延プロファイルや位相回転量を正確に検出できない場合もある。このような場合には、1スロットにパイロット信号を2個あるいはそれ以上続けて挿入し、これらのパイロット信号から求めた遅延プロファイルや位相回転量を平均化することにより雑音を抑圧して、より正確な検出が可能となる。

#### 【0024】

【発明の効果】本発明によれば、マッチドフィルタの消費電力を大幅に低減できるとともに、信号復調のためのコリレータも各有効パスについて1個あればよいので、回路規模の減少が図れる効果がある。

#### 【図面の簡単な説明】

【図1】本発明になるRAKE受信機の一構成例を示すブロック図である。

【図2】本発明になるRAKE受信機の他の構成例を示すブロック図である。

【図3】従来のRAKE受信機の一構成例を示すブロック図である。

【図4】遅延プロファイルの例を示す図である。

【図5】伝送信号のフォーマットの説明図である。

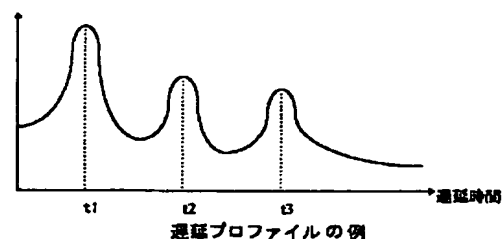
【図6】各パスにおける位相補償の説明図である。

【図7】従来のRAKE受信機の他の構成例を示すブロック図である。

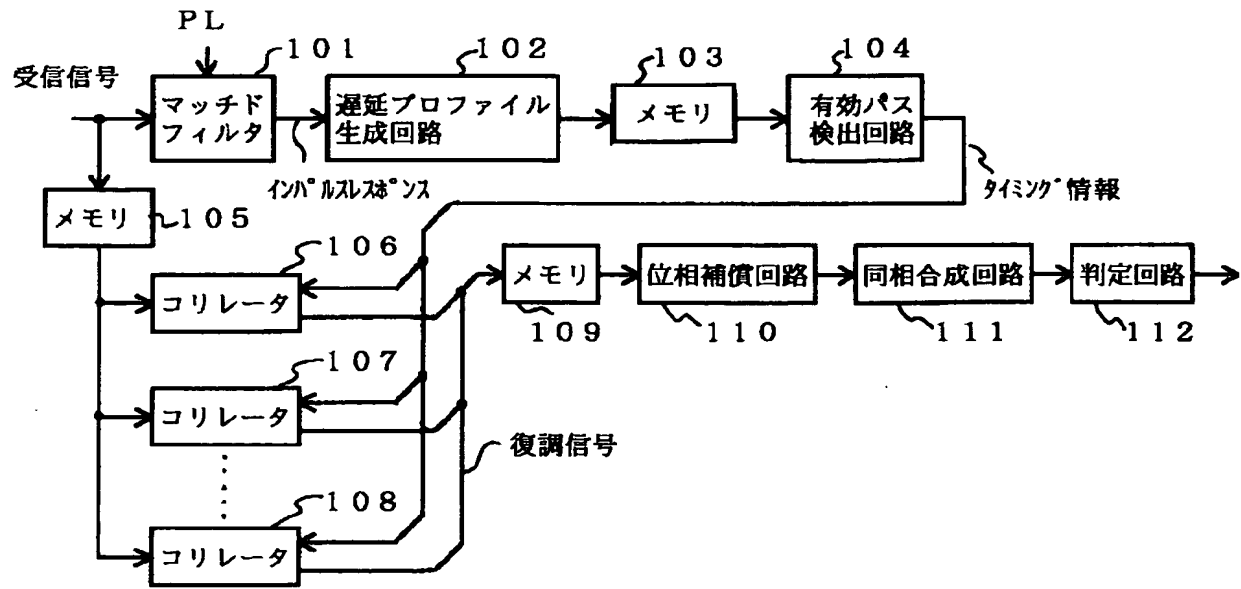
#### 【符号の説明】

- 101 マッチドフィルタ
- 102 遅延プロファイル生成回路
- 103、105、109 メモリ
- 104 有効パス検出回路
- 106～108、201 コリレータ
- 110 位相補償回路
- 111 同相合成回路
- 112 判定回路

【図4】

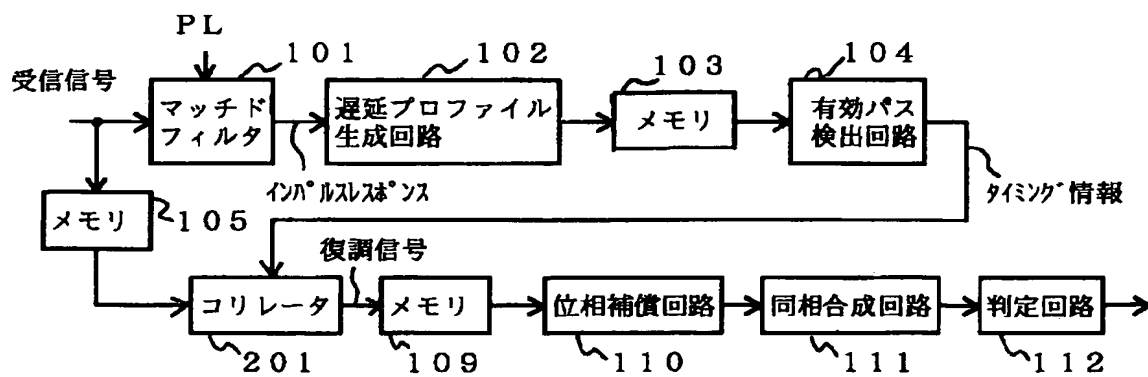


【図1】



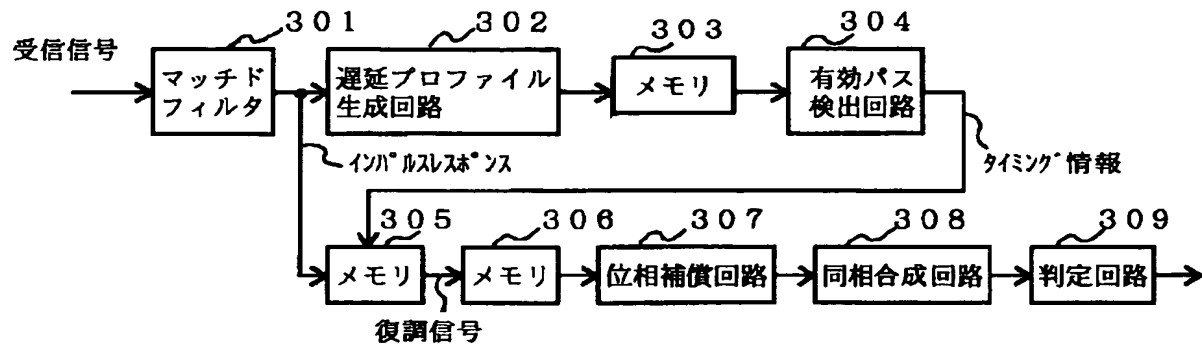
本発明のRAKE受信機の構成1

【図2】



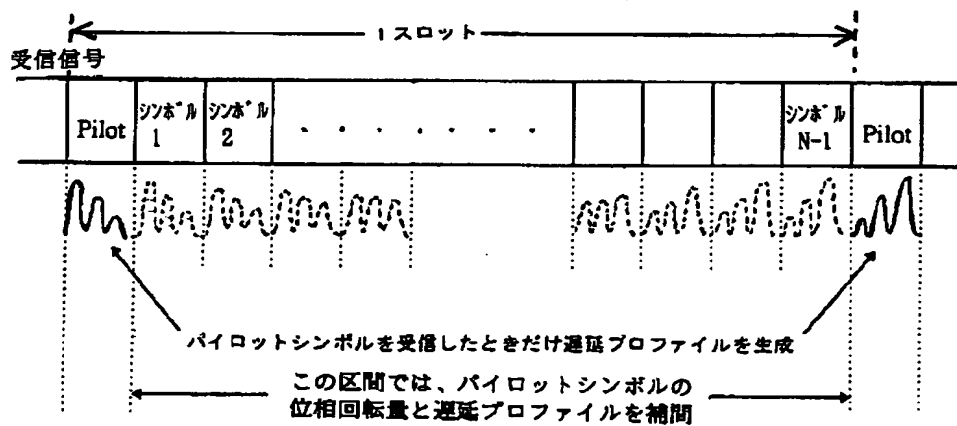
本発明のRAKE受信機の構成2

【図3】

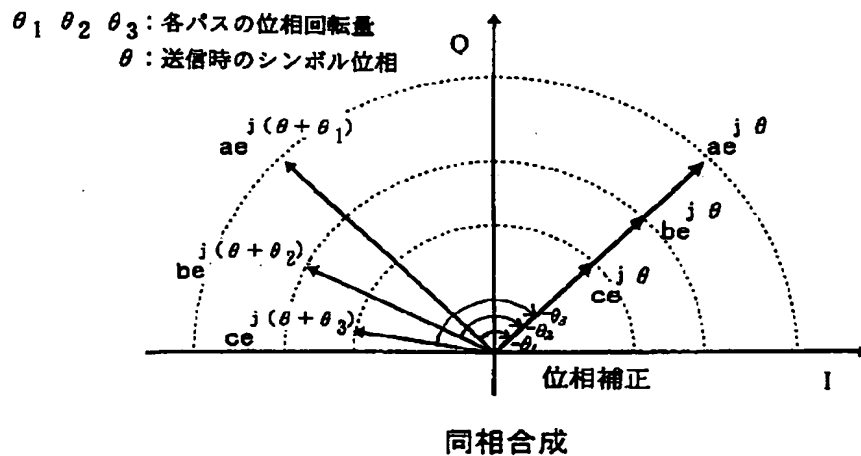


従来のRAKE受信機の構成例1

【図5】

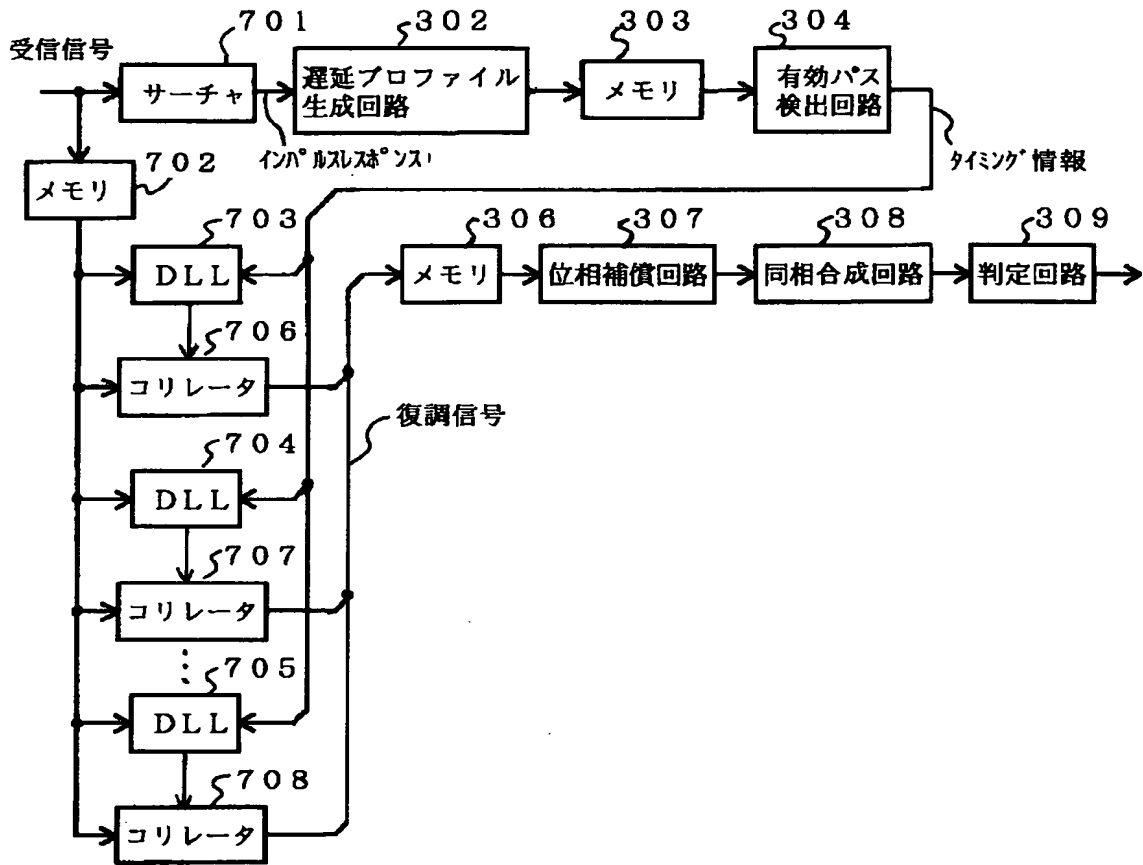


【図6】





【図7】



従来のRAKE受信機の構成例2